

FLIP-CHIP SEMICONDUCTOR PACKAGE WITH A RESISTANT STRUCTURE OF SUBSTRATE WARPAGE

Publication date: 2002-06-01

Inventor(s):

Applicant(s): SILICONWARE PREC IND CO LTD (TW)

Requested Patent: TW489496

Application Number: TW20010104830(090104830) 20010302

Priority Number(s):

IPC Classification: H01L23/28

EC Classification:

Equivalents:

Abstract

A flip-chip semiconductor package with a resistant structure of substrate warpage is provided, which comprises a substrate having a chip-mounting region for a semiconductor chip, a large size chip with flip-chip bumps electrically connecting to the substrate by flip-chip mounting, a filling compound with a larger coefficient of thermal expansion (CTE) than that of the substrate being coated around the chip to form a polymer dam, an underfilling material filled a gap between the chip and the substrate for sealing the flip-chip bumps, a plurality of solder balls planted on backside of the substrate for electrical connection between substrate and exterior, and a molding compound for sealing the large size chip. After packaging process passing through high temperature, a heat shrink happen after cooling down. A shrink force is created by the filling compound with larger CTE in order to compensate thermal stress caused by shrink of substrate. Then coplanarity of substrate and semiconductor chip and whole structure are maintained. Also bonding quality of the flip-chip bumps is improved.

中華民國專利公報 [19] [12]

[11]公告編號：489496

[44]中華民國 91年(2002) 06月01日

發明

全 8 頁

[51] Int.Cl⁰⁷： H01L23/28

[54]名稱：具有防止基板翹曲結構之覆晶式半導體封裝件

[21]申請案號： 090104830

[22]申請日期：中華民國 90年(2001) 03月02日

[72]發明人：

普翰屏
邱世冠
廖庚芄
黃建屏

台北縣永和市中正路六四九號十樓之一
台中市南區工學北路七十一巷六號十八樓之五
台中縣大雅鄉三和村義和路七之五號
新竹縣竹東鎮五豐里康莊街二十六巷八號

[71]申請人：

矽品精密工業股份有限公司

台中縣潭子鄉大豐路三段一二三號

[74]代理人： 陳昭誠 先生

1

2

[57]申請專利範圍：

1.一種覆晶式半導體封裝件，係包含：

一基板；

一半導體晶片，其以覆晶方式安置於該基板上，且安置完成後該半導體晶片與該基板間存在有一覆晶底部間隙；

一熱膨脹係數大於該基板之膠劑，利用該膠劑於該半導體晶片以外之基板區域上設置膠堤；

一底部填料，係充填該覆晶底部間隙；

複數個第一導電元件，藉以提供該半導體晶片電性連接至基板；以及，

多數個第二導電元件，藉以提供該基板與外界裝置產生導電連結。

2.如申請專利範圍第1項之覆晶式半導體封裝件，其中，該基板尺寸係為35x35平方毫米以上。

3.如申請專利範圍第1項之覆晶式半導

體封裝件，其中，該基板之熱膨脹係數約介於16至20ppm/°C之間。

4.如申請專利範圍第1項之覆晶式半導體封裝件，其中，製作該基板之材質係選自聚亞醯胺樹脂(Polyimide Resin)、聚丁二烯(Bismaleimide Triazine)、環氧樹脂、聚亞醯胺樹脂及三氮雜苯樹脂等所組組群之一者。

10. 5.如申請專利範圍第1項之覆晶式半導體封裝件，其中，該半導體晶片尺寸係為15x15平方毫米以上。

6.如申請專利範圍第1項之覆晶式半導體封裝件，其中，該基板之熱膨脹係數遠高於半導體晶片者。

15. 7.如申請專利範圍第1項之覆晶式半導體封裝件，其中，該膠劑之熱膨脹係數約介於25ppm/°C。

20. 8.如申請專利範圍第1項之覆晶式半導體封裝件，其中，該膠劑係選自環

氧樹脂(Epoxy Resin)等絕緣性材質所組組群之一者。

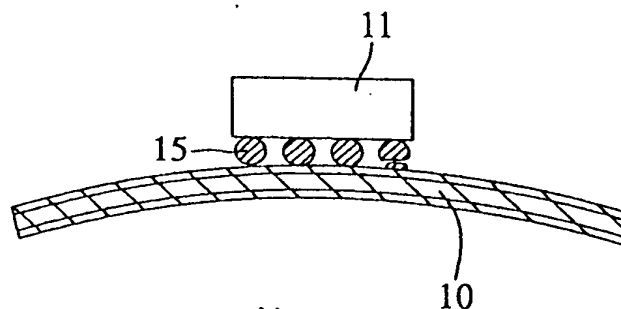
- 9.如申請專利範圍第1項之覆晶式半導體封裝件，其中，該膠堤塗佈位置及塗膠量係取決於該基板尺寸及其熱膨脹係數而定。
- 10.如申請專利範圍第1項之覆晶式半導體封裝件，其中，該膠堤係環佈於該半導體晶片外圍。
- 11.如申請專利範圍第1項之覆晶式半導體封裝件，其中，該膠堤係為一以該半導體晶片為圓心環設之圓形膠堤。
- 12.如申請專利範圍第1項之覆晶式半導體封裝件，其中，該膠堤係為一塗佈於基板兩側週邊區域之長條型膠堤。
- 13.如申請專利範圍第1項之覆晶式半導體封裝件，其中，該第一導電元件係為覆晶鉚塊。
- 14.如申請專利範圍第1項之覆晶式半導體封裝件，其中，該半導體晶片具有一外露之非作用表面。
- 15.如申請專利範圍第1項之覆晶式半導體封裝件，其中，該半導體晶片係藉以一封裝膠體所包覆。
- 16.如申請專利範圍第1項之覆晶式半導體封裝件，其中，該封裝件內係安置有一散熱件。

17.如申請專利範圍第1或第13項之覆晶式半導體封裝件，其中，該底部填料係將各覆晶鉚塊間之空隙完全填滿。

5. 18.如申請專利範圍第1項之覆晶式半導體封裝件，其中，該第二導電元件係為鉚球。

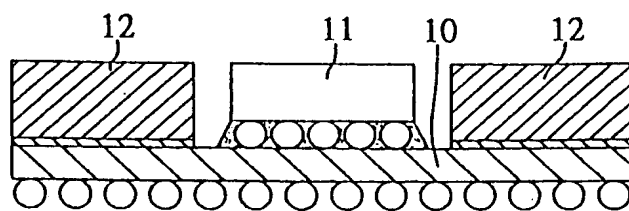
圖式簡單說明：

- 第1圖係為習知基板翹曲之大尺寸半導體封裝結構剖視圖；
- 第2圖係為習知具有金屬強化結構之大尺寸半導體封裝結構剖視圖；
- 第3A、3B圖分別為習知具有套框之半導體封裝件之上視圖及剖面圖；
- 第4圖係為本發明第一實施例之半導體封裝件之剖面示意圖；
- 第5A至5F圖係為本發明半導體封裝件之製作流程示意圖；
- 第6圖係為本發明第二實施例之半導體封裝件上視圖；
- 第7圖係為本發明第三實施例之半導體封裝件上視圖；
- 第8圖係為本發明第四實施例之半導體封裝件剖視圖；
- 第9圖係為本發明第五實施例之半導體封裝件剖視圖；以及，
- 第10圖係為本發明第五實施例之另一半導體封裝件剖視圖。

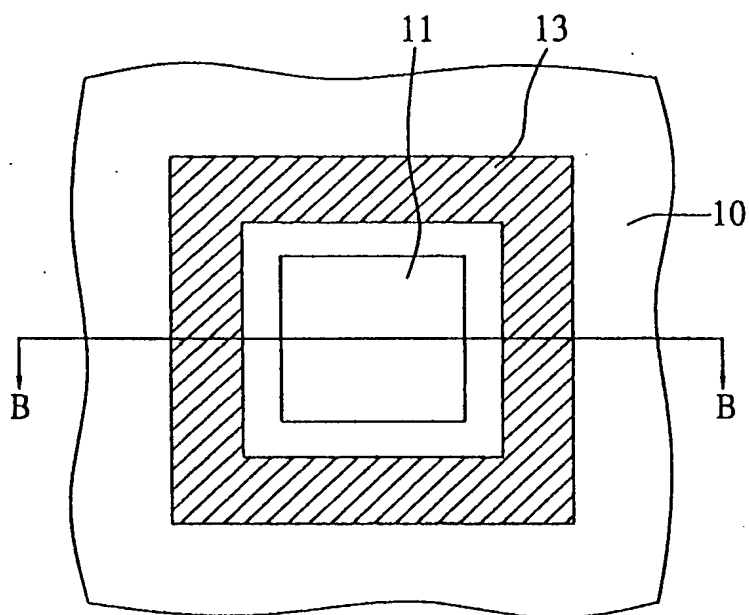


第1圖

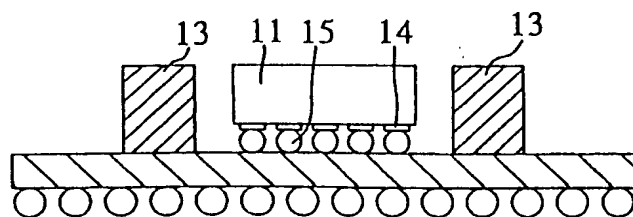
(3)



第 2 圖

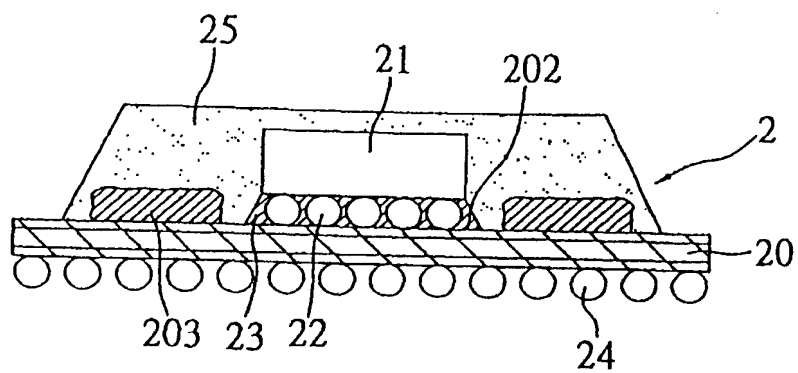


第 3A 圖

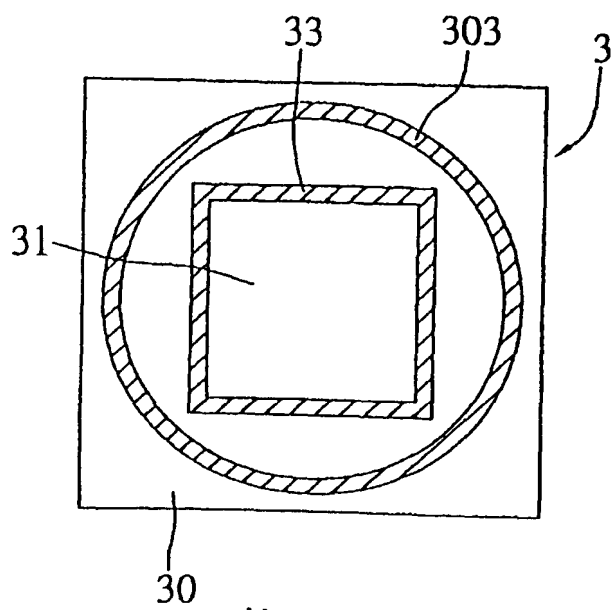


第 3B 圖

(4)

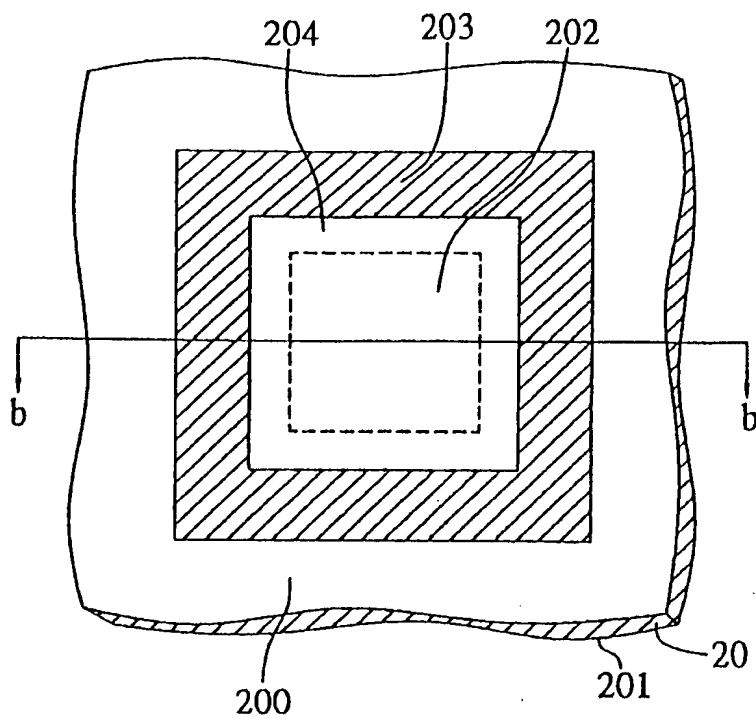


第 4 圖

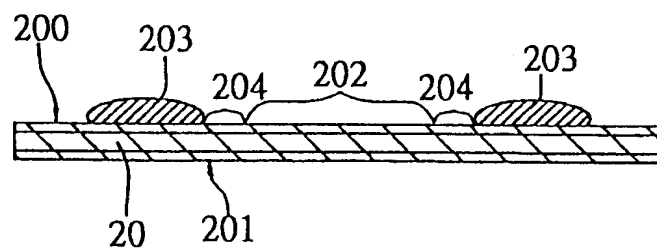


第 6 圖

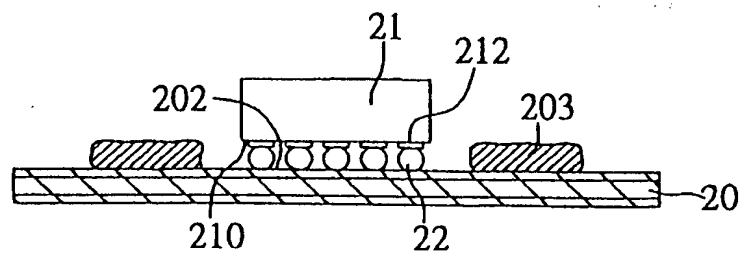
(5)



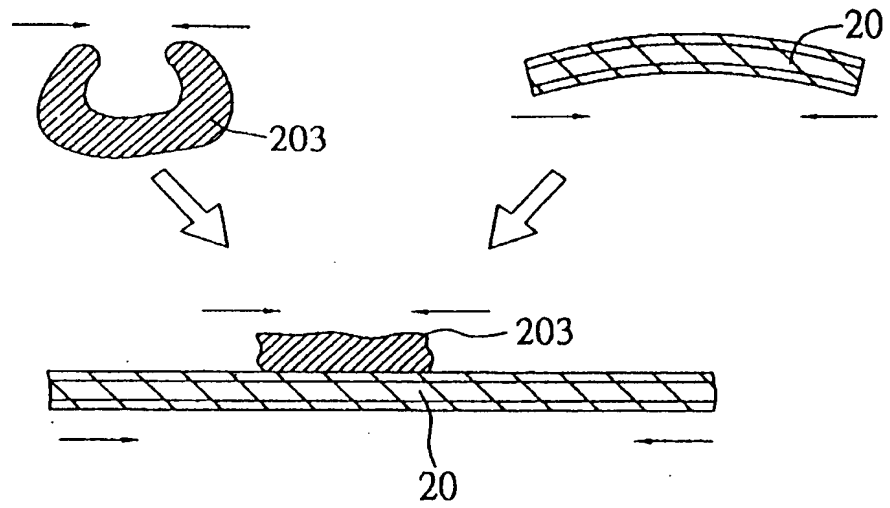
第 5A 圖



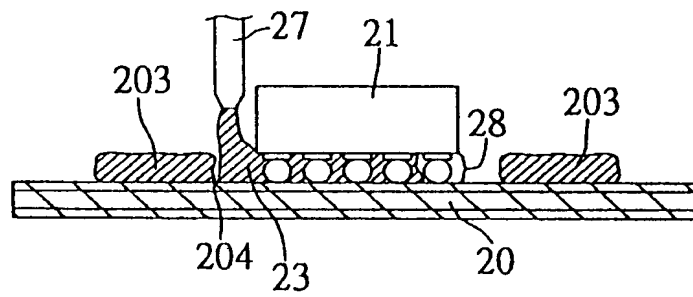
第 5B 圖



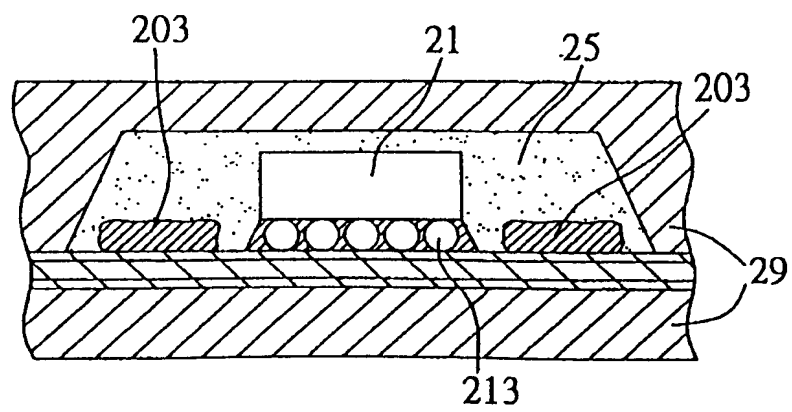
第 5C 圖



第 5D 圖

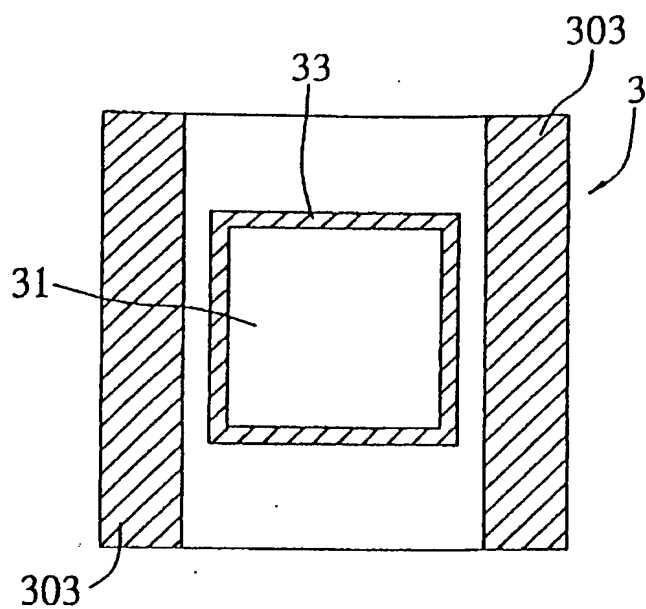


第 5E 圖

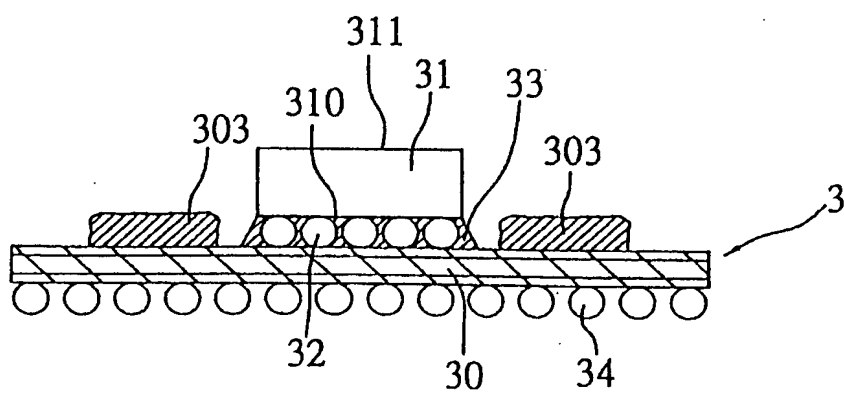


第 5F 圖

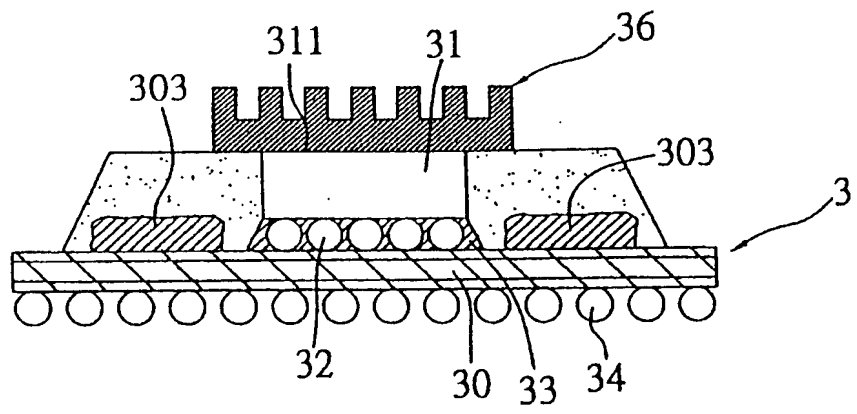
(7)



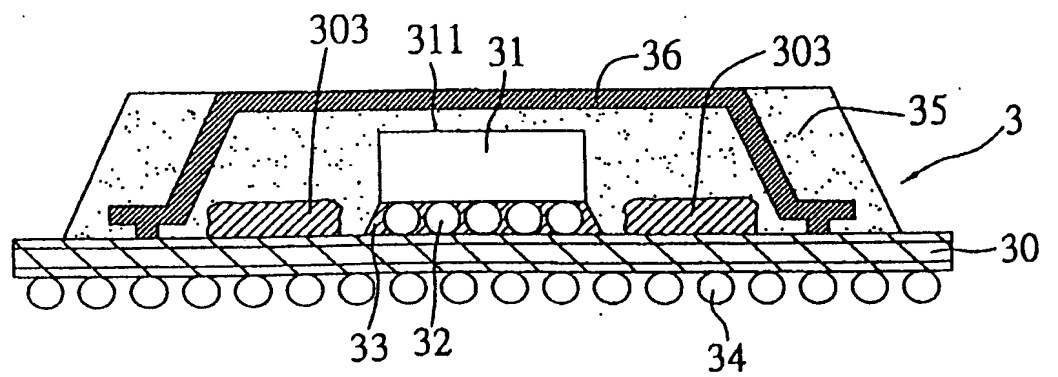
第 7 圖



第 8 圖



第 9 圖



第 10 圖